



(43) 國際公開日  
2001 年 8 月 16 日 (16.08.2001)

**PCT**

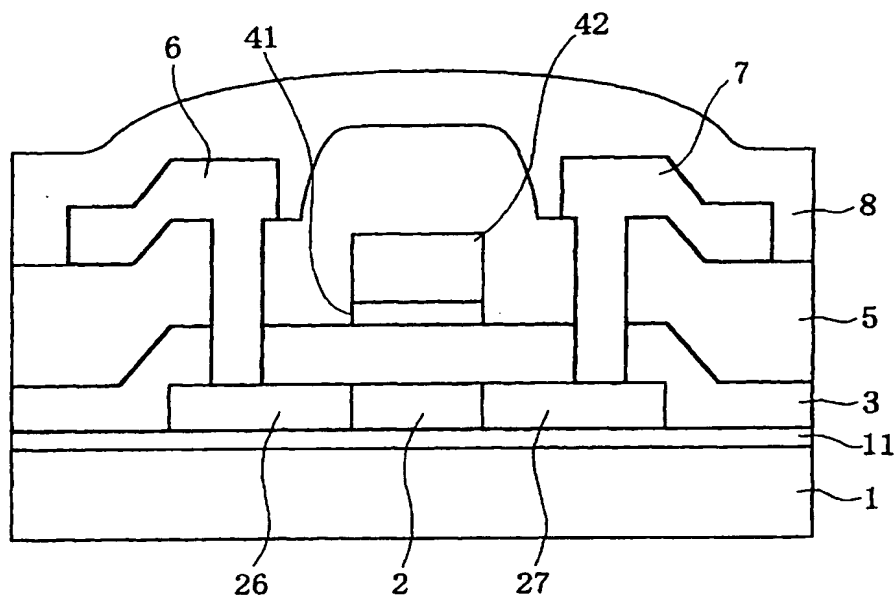
(10) 国際公開番号  
**WO 01/59849 A1**

- |   |   |
|---|---|
| (51) 国際特許分類 <sup>7)</sup> : H01L 29/786, 21/203, 21/285, 21/336, 29/49, C23C 14/34, G02F 1/1343, 1/1368 | (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).   |
| (21) 国際出願番号: PCT/JP01/00870   | (72) 発明者; および   |
| (22) 国際出願日: 2001 年 2 月 7 日 (07.02.2001)   | (75) 発明者/出願人 (米国についてのみ): 河北哲郎 (KAWAKITA, Tetsuo) [JP/JP]; 〒610-0352 京都府京田辺市花住坂3-5-10 Kyoto (JP). 井上真弓 (INOUE, Mayumi) [JP/JP]; 〒573-1105 大阪府枚方市南楠葉1-32-30-101 Osaka (JP). 倉増敬三郎 (KURAMASU, Keizaburo) [JP/JP]; 〒610-0351 京都府京田辺市大住ヶ丘3-12-2 Kyoto (JP). 佐々木厚 (SASAKI, Atsushi) [JP/JP]; 〒924-0881 石川県松任市ハツ矢新町14-512 Ishikawa (JP). |
| (25) 国際出願の言語: 日本語   |   |
| (26) 国際公開の言語: 日本語   |   |
| (30) 優先権データ:  | (74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前3階 Osaka (JP).  |
| 特願2000-31407 2000 年 2 月 9 日 (09.02.2000) JP   |   |
| 特願2000-46904 2000 年 2 月 24 日 (24.02.2000) JP  |   |
| 特願2000-46901 2000 年 2 月 24 日 (24.02.2000) JP  |   |
| 特願2000-86121 2000 年 3 月 27 日 (27.03.2000) JP  |   |
| 特願2000-101927 2000 年 4 月 4 日 (04.04.2000) JP  |   |

〔続葉有〕

**(54) Title:** THIN-FILM TRANSISTOR COMPRISING GATE ELECTRODE OF MoW ALLOY

(54) 発明の名称: ゲート電極にMoW合金を使用した薄膜トランジスタ



**(57) Abstract:** When a gate metallic film of a polycrystalline silicon thin-film transistor is made of an MoW alloy, the MoW film may be transformed because of the residual water in SiO<sub>2</sub> of an underlying gate insulating film and an interlayer insulating film and the reliability may be deteriorated because of variation in the negative direction during the B-T test. According to the invention, a mixture gas containing Ar or Kr and several percent of N<sub>2</sub> is used to form the MoW film by sputtering so as to add Ar or N to the film, the degree of orientation of the MoW film is controlled, and the composition ratio of Mo to W on the gate insulating film side is different from that on the opposite side.

〔統葉有〕

## 明 細 書

ゲート電極に MoW 合金を使用した薄膜トランジスタ

## 5 技 術 分 野

本発明は、液晶表示装置やメモリ集積回路に利用される薄膜トランジスタやその配線に関し、特にゲート電極やその配線材料としてのモリブデン-タングステン合金に関する。

## 10 背 景 技 術

(本発明の一般的な背景技術)

液晶表示装置（以下「液晶ディスプレイやLCDとも記す）等の基板の画素スイッチ素子や駆動回路には、多結晶シリコン膜を用いた薄膜トランジスタ(Thin Film Transistor。以下、TFTとも記する)が採用されている。ところで、この多結晶薄膜トランジスタは、図1に示すように、非晶質基板1上に表示部、あるいは画素や薄膜トランジスタ等の配置から定まる所定の形状の下部絶縁膜11としてSiO<sub>2</sub>（2酸化硅素）膜が形成され、その上に同じく所定の形状の多結晶シリコン膜2が形成され、その上に所定形状のゲート絶縁膜3としてのSiO<sub>2</sub>膜が形成され、その上更に所定の形状のゲート金属膜4が形成されている。

そしてこのゲート電極の形成は、スパッタ方式が用いられている。この方式は、インライン式のタイプが多く、ターゲットも電極に用いる材料を1種類を設置したものである。そして、ガラス基板は一定方向に搬送され、放電してターゲット材料がスパッタリングされて成膜が可能な領域を通過することでガラス基板上に連続的にゲ-

そして多結晶シリコン薄膜トランジスタでは、このトランジスタの信頼性の確保と、イオンドーピング法で注入したリン、ボロン等の不純物を活性化させる等のために、不純物の注入後に基板毎真空や所定の雰囲気ガス下で500～600℃の温度環境下30分～15時間晒すで熱処理が行われている。

さてこの熱処理は、ゲート電極を注入マスクとして使用するため、ゲート電極の形成後に行なう必要がある。このため、ゲート電極としては、注入マスクとして作用するため、密度が高いだけでなく、少なくとも500℃以上の、好ましくは600℃以上の熱で安定していることが要求される。またこの一方で、映像信号等の伝達の遅延を防ぎ、スイッチング素子としての駆動の高速化を達成するためには、ゲート電極の抵抗が低いことが要求される。このような熱的安定性と低抵抗性を両立するだけでなく、更には生産性やコストが優れた材料としては、MoとWの合金が知られている（電極配線材料およびこれを用いた電極配線基板（特開平8—153722号公報））。

（本発明が解決しようとする課題に関係の深い背景技術）

しかしながら、ゲート電極としてMoW膜を用いた場合には、第1にSiO<sub>2</sub>等からなるゲート絶縁膜あるいは層間絶縁膜中の水分等が時間の経過と共にMoW膜中に拡散し（ゲート電極の寸法は、通常は大凡15μm程度、或いはそれ以下）、MoW膜を変質させる。更にその結果、トランジスタの信頼性の低下、不安定性の原因となる。

第2に、ゲート電極の金属膜をスパッタリングにより作製する際の条件の如何により、薄膜トランジスタの信頼性が大きく影響される。

本図に示す様に、例えば B T 耐性の悪いトランジスタであると電圧印可時間が約 6 0 0 s e c 程度で数 V、しきい値電圧  $V_{th}$  がマイナス方向にシフトしてしまう（B T 耐性試験前の電気特性 3 1、試験後の電気特性 3 2 で示す）。さて、このように特性が変動すると以下のような不都合が生じる。

試験前の特性では  $V_g = 0 V$  の時のトランジスタに流れる電流は十分に小さく（点 3 3 で示す）、回路としては動作していない状態である。しかし試験後の特性 3 2 では  $V_g = 0 V$  の時のトランジスタに流れる電流はかなり大きくなり（点 3 4 で示す）、 $V_g = 0 V$  で回路としては動作させていないにもかかわらず、トランジスタにはかなりの量の電流が流れていることになる。その結果、回路としては誤動作を起こすだけではなく、発熱によって最後には完全に動作しなくなる。

このため、層間絶縁膜中の水分等の悪影響を受けない M o W 合金製のゲート電極の開発が望まれていた。

また、B T 耐性試験でその特性の変化が生じる原因を究明し、ストレスに対して  $I_d - V_g$  特性が変化しない技術の開発が望まれていた。

以上の他、近年の液晶表示装置の大型化の下、高性能の表示装置の開発が望まれており、その一環として各配線の抵抗の減少、薄膜トランジスタの高性能の L D D 化等も望まれていた。

## 発 明 の 開 示

本発明は、以上の課題を解決して、高信頼性から高安定性の T F T を提供し、更にその結果として大面積かつ高性能の液晶ディスプレイ等を作製可能とすることを主な目的として（勿論、2 インチ程

また、他の発明ではM oとWの形成する（全範囲で固溶体を形成する）の格子内にA r原子を安定した状態で一定濃度含ませて高信頼性を図っている。

5 また、他の発明では、アンモニウムガス、又は水素ガス及びアンモニウムガス、又は水素ガス及び窒素ガスと、不活性ガスよりなる混合ガス雰囲気中でスパッタリングにより成膜することで膜中にNを含有するとともにM oとWがスパッタリング中にガス雰囲気中の不純物であるH<sub>2</sub>O（水分）あるいはO<sub>2</sub>（酸素）により酸化されることを防止する。

10 また、他の発明では、ゲート電極を少なくも2層（コスト等の面からは原則2層のみ）とし、下層と上層とでその形成にM oとWの組成比の異なる金属（合金、金属間化合物、固溶体）又は複合体（超微細な粒子のかたまり）又は焼結体からなるターゲットを用いてM oとWの組成比を変更し、低抵抗性と生産性を維持しつつ経年による特にWのH<sub>2</sub>OやO<sub>2</sub>との反応による劣化防止を図っている。

また、他の発明では、ゲート電極のゲート絶縁層側はWを10原子%以下、かつNを含有するM oからなる（含む、C r等他の原子が多少ある場合）膜とし、反ゲート絶縁膜側の層はWが20～50原子%、かつNを含むM oとすることで、B-T試験でNO変動が生じない等高品質のTFTとしている。

また、他の発明では、M oの多いゲート絶縁層側の膜の厚さを2～20nmの範囲とすることにより、B-T試験での変動を抑制するとともにエッチング時間の増加による生産性の低下を生じさせないようにしている。

25 また他の発明では、トップゲート型の薄膜半導体素子として、注入マスクを兼ねるだけでなく、より微細なトランジスタを作製可能

せているため、経時による酸化膜中からの酸素のゲート電極金属内への親友がないことにも着目している。

また、他の発明では、ゲート電極は密度が大な金属を使用するが、ゲート配線は、不純物を注入した後の熱可塑性樹脂処理後に形成するものとし、このため低抵抗のアルミ（含む、多少の改質用配合物の存在）としている。

#### 図面の簡単な説明

図 1 は、従来技術の多結晶薄膜トランジスタの一例を示す図である。

図 2 は、従来技術で製作された T F T のゲート電極（用金属膜）の製造（形成）装置による B - T 試験の特性の相違を比較して示した図である。

図 3 は、従来の B T 耐性試験前後の  $n_c h$  の  $I_d - V_g$  特性の変化を示す図である。

図 4 は、本発明の第 1 の実施の形態の多結晶薄膜トランジスタの断面図である。

図 5 は、上記実施の形態の多結晶薄膜トランジスタを使用した液晶表示装置上での各素子の配列の例を示す図である。

図 6 は、上記実施の形態の多結晶シリコン薄膜トランジスタの特性のばらつきを示す図である。

図 7 は、従来技術の多結晶シリコン薄膜トランジスタの特性のばらつきを示す図である。

図 8 は、本発明の第 3 の実施の形態の多結晶薄膜トランジスタの断面を示す図である。

図 9 は、本発明の多結晶シリコン薄膜トランジスタの特性のば

図 2 2 は、本実施の第 2 0 の実施の形態の薄膜トランジスタの断面図である。

図 2 3 は、本実施の第 2 1 の実施の形態の薄膜トランジスタの断面図である。

5 (符号の説明)

- |    |     |                           |
|----|-----|---------------------------|
|    | 1   | 非晶質基板                     |
|    | 1 1 | 下地絶縁膜 ( $\text{SiO}_2$ )  |
|    | 2   | 多結晶シリコン膜                  |
|    | 3   | ゲート絶縁膜 ( $\text{SiO}_2$ ) |
| 10 | 3 1 | ゲート絶縁膜の窒素スパッタの影響がある部分     |
|    | 4   | ゲート金属膜 ( $\text{MoW}$ )   |
|    | 4 1 | ゲート電極 ( 上層 )              |
|    | 4 2 | ゲート電極 ( 下層 )              |
|    | 4 5 | アルミ製ゲート配線                 |
| 15 | 4 6 | アルミ製ゲート配線                 |
|    | 5   | 層間絶縁膜 ( $\text{SiO}_2$ )  |
|    | 6   | ソース電極                     |
|    | 6 1 | コンタクトホール                  |
|    | 7   | ドレイン電極                    |
| 20 | 7 1 | コンタクトホール                  |
|    | 8   | パッシベーション膜                 |
|    | 1 2 | 画素電極                      |
|    | 1 3 | 対向電極を配した対向基板              |
|    | 1 4 | 有機 EL 層、発光体、カラーフィルタ       |
| 25 | 2 0 | 薄膜トランジスタ                  |
|    | 2 1 | 第 1 のターゲット                |

その形成方法であるが、従来技術のものと異なり A r または K r  
あるいはそれらの混合ガスのみでなく、更に N<sub>2</sub> を少量 ( 0 . 1 ~  
1 0 % ) 含むガスを用いてスパッタリングを行なう。そして所定の  
膜厚、すなわち 3 0 0 n m まで堆積する。その後、従来技術と同様  
5 にフォトリソグラフィーにより、この堆積したゲートメタル膜を下方  
に位置する孤立化した多結晶シリコンのゲート電極やゲート電極様  
配線の位置に対応した所定の形状とする。いわゆるパターンニングで  
ある。

更に、このゲート電極を遮蔽マスクとして、イオンドーピング等  
10 の手段によって不純物元素 ( リンやホウ素 ) をその下方の多結晶シ  
リコン膜内に注入し、ゲート電極のチャネル方向両側に十分な高濃  
度の不純物領域 ( ソース領域 2 6 とドレイン領域 2 7 ) を形成する。

その後、上部に S i O<sub>2</sub> 膜からなる層間絶縁膜 5 を 4 0 0 n m の  
厚さで基板上全表面に形成する。

15 その後、層間絶縁膜 5 とゲート絶縁膜 3 に多結晶シリコン 2 のソ  
ース領域 2 6 とドレイン領域 2 7 に到達するようにコンタクトホー  
ル 6 1 、 6 2 を開ける。

その後、そのコンタクトホールを通して多結晶シリコンのソース  
領域 2 6 とドレイン領域 2 7 に電氣的接続される A l / T i からな  
20 るソース電極 6 とドレイン電極 7 を形成する。なおその形成方法で  
あるが、これは、T i 膜を基板上に 1 0 0 n m の厚さで形成し、更  
に A l 膜を 6 0 0 n m 形成することにより、コンタクトホール内を  
埋め込み、その後不必要な部分を除去することによりなされる。

その後、その上にパッシベーション膜 8 として S i N<sub>x</sub> を 3 0 0  
25 n m 形成する。

以上のようにしてトップゲート型の多結晶シリコン薄膜トランジ



るためと思われる。

(第2の実施の形態)

本実施の形態は、第1の実施の形態の変形例である。

M o W の成膜時の A r 中の窒素ガス濃度を変えて、ゲート電極膜  
 5 中の窒素濃度の異なる M I S (金属/絶縁膜/半導体) 構造のトランジスタを製造し、その膜特性及び M I S による C - V 特性の評価を行なった。なお、M I S のサンプルは、先の第1の実施の形態と同様に、シリコン基板上にゲート絶縁膜を形成し、その上面へゲート電極となる M o W 膜の形成、エッチングによるゲート電極の形成、  
 10 そして不純物イオンドーピングと 6 0 0 ° C 1 時間でのアニールを行ったあと、各部を所定形状に形成、加工して素子として完成したものである。

初期の C - V 特性を測定した後、8 0 ° C の温度環境で 6 0 0 秒間  
 3 0 V 印加した後で C - V 測定を行い、その変化量を B T シフト電  
 15 圧として示した。結果を表1に示す。

(表1)

サンプル	成膜条件 Pw-Pr	*膜中窒素 濃度 (at%)	比抵抗 ( $\mu\Omega \cdot \text{cm}$ )	**比抵抗判定	信頼性試験 BTシフト量 (V)	**BT判定	総合 評価
1	2.5Kw-5mtorr	0.0001	18	○	-5.0	×	×
2	↑	0.0003	19	○	-2.0	×	×
3	↑	0.001	20	○	-0.8	○	○
4	↑	0.05	23	○	-0.5	○	○
5	↑	1	50	○	-0.1	○	○
6	↑	5	70	×	-0.01	○	×
7	↑	8	100	×	-0.01	○	×

本表において、膜中窒素濃度は、6 0 0 ° C 、 1 時間真空アニール後の分析値である。また。比抵抗判定は、5 0  $\mu\Omega \cdot \text{cm}$  以下を○

ッタの影響を受けた膜の存在により、水分等がゲート電極内に侵入してくるのが防止されたと判断される。

(第4の実施の形態)

本実施の形態は、先の第3の実施の形態の一変形例であり、ゲート電極膜形成時にA<sub>r</sub>ガス中に混入するガスを変化させるという変形の基本的な内容は、先の第1の実施の形態に対する第2の実施の形態と同じである。但し、窒素ガスの濃度のみならず、酸素ガスをも濃度等を変化させて混入した点が相違する。

なお、M<sub>o</sub>Wの成膜前の窒素ガスによる逆スパッタや窒素プラズマによる表面窒化、M<sub>o</sub>Wの成膜、エッチングによるM<sub>o</sub>W製ゲート電極の形成、不純物イオンのドーピング、その後の熱処理等は勿論同じである。評価試験の内容、方法であるが、これも、初期のC-V特性を測定した後、80℃で600秒間30V印加した後でC-V測定を行い、その変化量をBTシフト電圧として示すものであり、先の実施の形態と緒同じである。

試験結果を、表2に示す。

(表2)

サンプル	成膜条件 Pw(Kw)- Pr(mtorr)	*膜中 酸素濃度 (ppm)	*膜中 窒素濃度 (ppm)	窒素 逆sp条件 (w)	比抵抗 ( $\mu\Omega \cdot \text{cm}$ )	**比抵抗 判定	信頼性試験 BTシフト量 (V)	***BT 判定	総合 評価
1	2.5-5	20	30	-	18	○	-0.8	○	○
2	2.5-5	20	130	150	20	○	-0.05	◎	◎
3	2.5-5	20	130	-	19	○	-0.5	○	○
4	2.5-5	50	100	150	22	○	-0.05	◎	◎
5	2.5-5	50	500	300	30	○	-0.01	◎	◎
6	2.5-5	50	500	300 @	30	○	-0.01	◎	◎
7	2.5-5	50	20000	****	50	○	-0.1	○	○
8	2.5-5	50	25000	****	60	×	-0.1	○	×
9	2.5-5	50	30	-	19	○	-1.5	×	×
10	2.5-5	90	30	-	22	○	-1.5	×	×
11	2.5-5	90	500	300	32	○	-0.07	◎	◎
12	2.5-5	150	100	-	25	○	-5.0	○	×

## (第5の実施の形態)

本実施の形態は、ゲート電極用の金属膜を形成するスパッタリング装置をかえたことによる多結晶シリコン薄膜トランジスタの特性の変化とゲート電極の材料を変化させたことによる多結晶シリコン

5 薄膜トランジスタの特性の変化に関する。

以下、実験結果に基づき本実施の形態を詳細に説明する。

図10は、シリコンウエハ上に不純物の拡散による侵入を防止するため、熱酸化膜を形成した基板を用いて、薄膜半導体を形成し、その後評価試験を行なった結果を示すものである。この際、ゲート  
10 電極材料としては、35原子%のWを含むMo-W合金とした。

さて、このMo-W合金の成膜であるが、これはインライン方式のスパッタ装置とロードロック式の枚葉スパッタ装置を使用し、使用装置の如何によるCV特性測定からB-T信頼性を評価した結果の相違を調べた。本図の(A)はロードロック式枚葉スパッタ装置の場合であり、(B)はインライン方式スパッタ装置の場合である。  
また、aは測定初期状態であり、bは600秒印加後の状態である。本図から分かるように、インライン方式のスパッタ装置で作製したMo-Wゲート電極膜の場合には、薄膜トランジスタと同じように比較的大きな負方向の変動が生じた。しかし、ロードロック式の枚葉  
15 スパッタ装置で作製した場合には変動が見られなかった。

次に、図11は、インライン方式スパッタ装置を用いて、35原子%のWを含むMo-W合金膜(A)とMo単独膜(B)とを作製して、CV測定方式による評価を行なった結果である。aは測定初期状態であり、bは600秒印加後の状態である。本図にて明らかな  
25 様に、(A)の35原子%のWを含むMo-W合金膜では、非常に大きな負方向の変動が生じているが、(B)のMo単独膜では変動が

ンウエハ上に成膜してC V測定による評価を行なった。その結果、B-T試験での変動、特にゲート電極に起因すると判断される負方向の変動はまったく見られなかった。

これは、アンモニウムの分解エネルギーが小さいために、特にW  
5   との窒化反応や膜中へのNの取りこみと、活性な原子状水素がWの酸化を抑制することによるものであると判明した。更に、放電ガス中に水素を入れることで、窒素分子の分解を促進する効果もあり、単純に窒素ガスのみあるいはアンモニウムガスのみを入れる場合に比べて反応が促進されるため添加するガス量を少なくすることが可能  
10   であるのも判明した。

(第6の実施の形態)

本実施の形態の薄膜半導体素子の構造も、基本的には図1に示すものと同じである。透明絶縁性基板1は、本実施の形態ではコーニング社の1737ガラス基板を用いた。同じく、下地絶縁膜11は、  
15   TEOSとO<sub>2</sub>の混合ガスを用いてSiO<sub>2</sub>膜を約400nm形成した。同じく、ゲート絶縁膜3は、本実施の形態ではTEOS（テトラエチルオルソシリケート）とO<sub>2</sub>混合ガスを用いてプラズマCVDにより作製したSiO<sub>2</sub>膜を約90nmの厚さに形成した。同じく層間絶縁膜5は、TEOSとO<sub>2</sub>混合ガスを用いてプラズマC  
20   VDで約400nmのSiO<sub>2</sub>膜を形成した。ソース電極6とドレイン電極7は、下側層のTiと上側層のAl膜をスパッタリングにより、各約100nm、約600nmの厚さに形成した。

Wを35原子%含むMoW合金ターゲットを用いて、ロードロック式枚葉スパッタ装置で放電ガスとしてアンモニウムを5%、水素  
25   を5%、残りをArガスとした混合ガスを使用して、0.2Pa、5kW、200℃に基板を加熱した条件下で300nmの膜厚を作

雰囲気でも同様の結果が得られた。

(第8の実施の形態)

本実施の形態は、ゲート電極を上下の2層とするものである。

以下、本実施の形態を、図12を用いて詳細に説明する。本図に  
5 示す薄膜半導体は、基本的には第7の実施の形態のものと同一である。  
ただし、以下の点が相違する。層間絶縁膜5であるが、これは  
TEOSとO<sub>2</sub>ガスを用いてプラズマCVDによるSiO<sub>2</sub>膜とS  
iH<sub>4</sub>とO<sub>2</sub>ガスを用いた常圧CVDによるSiO<sub>2</sub>膜の2層構成  
で、400nmの膜厚に形成した。ゲート電極4であるが、これは  
10 上下の2層となっており、41が下層、42が上層である。

このゲート電極膜は、スパッタ室を2室もつロードロック式枚葉  
スパッタ装置で形成した。すなわち、一室目ではMo、2室目では  
Wを35原子%含むMoW合金ターゲットを用いて成膜した。成膜  
条件であるが、Arガス雰囲気中で、基板の温度を200℃にし、  
15 0.2Pa、5kWであった。そして、下層のMo膜は20nm、  
上層のMoW合金膜は280nmに形成した。

この形成した膜の表面の状態及び断面の状態を走査型電子顕微鏡  
で観察した結果、針状結晶構造膜であった。しかし、作製したトラ  
ンジスタのB-T試験結果では、従来の100倍以上の時間経過し  
20 てもゲート電極に起因する負方向の変動はまったく生じなかった。  
これは、下層のMo膜がB-T信頼性の改善に大きな寄与をなして  
いることによる。そして、この効果はMoの膜厚が2nm程度あれ  
ば良いことも判明した。また、2層のゲート電極膜のエッチングも  
CF<sub>4</sub>とO<sub>2</sub>の混合ガスを用いたドライエッチングで同時に可能で  
25 あるが、Moのドライエッチング速度が小さいので、精度を確保し  
つつ生産性良く加工するためにはMoの膜厚は20nm以下とする

を用いて成膜しても同様の結果が得られるのは言うまでもない。

また、不活性ガスとしてクリプトン等を使用しても良いのは勿論である。

(第10の実施の形態)

5 本実施の形態は、ゲート電極の配向面に関する。

以下、本実施の形態のM o W薄膜製ゲート電極及びこれを採用した薄膜トランジスタを説明する。

図13に、本実施の形態のM o W配線薄膜の構造解析結果を示す。本図は、X線回折の結果を示すものであり、配向面が(110)であることを示す。なお高次の(220)等は同一として扱う。本図の(a)に、配向性の高いM o W膜の結果を示す。この場合には、(110)面のピークが高く、(200)面のピークはほとんど観察されない。また、(110)のピークもシャープで半値幅が小さく、これは配向性が極めて高いことを示す。本図の(b)に配向性の低いM o W膜の結果を示す。(110)面以外に(200)面の配向も観察されているほかに(110)面ピークの半値幅も大きくなっており、配向性が悪いことがわかる。

この様に、異なる配向性をもったM o W膜をゲートメタルに用いた場合にBT耐性にどのような影響を及ぼすかを図14を用いて説明する。

本図の(a)に、配向性の高いM o W膜をゲート電極に用いた場合のBT耐性の結果を示す。85℃で+30Vの電圧を600sec印加してもId-Vg特性は全く変化せず、極めて信頼性の高い安定したトランジスタであると言える。この現象は(110)の配向が全体の90%以上占めていれば成立するものを確認できた。一方、配向性の悪いM o W膜をゲート電極に用いた場合の結果を本図

る影響は極めて大きい。図 1 5 の ( a ) に示したような 8 0 0 ℃に脱離ピークをもつ M o W 膜を用いた場合には図 1 4 の ( a ) に示すように B T 耐性が極めて高くなる。しかし一方、図 1 5 の ( b ) 示すような M o W 膜の場合は図 1 4 の ( b ) に示すような B T 耐性が

5 劣ったものとなる。

( 第 1 2 の実施の形態 )

本実施の形態は、窒素 ( 原子 ) が一定量 M o W 膜中に安定した状態で取り込まれた場合である。

図 1 6 に、窒素に注目した M o W 膜の T D S ( 昇温脱離ガス質量  
10 分析 ) 試験の結果を示す。窒素に関しては大きく 4 つの脱離ピークがある。2 0 0 ~ 3 0 0 ℃と低温で観察されるのは M o W 膜中に単純に不純物として含まれている、あるいは格子状、結晶状の M o 原子や W 原子の隙間に在る窒素が脱離しているものと判断される。一方、6 0 0 ~ 7 0 0 ℃付近、8 0 0 ℃付近、9 0 0 ~ 1 0 0 0 ℃付  
15 近に見られるシャープなピークは M o または W と結合した、あるいは M o 原子や W 原子が形成する格子状、結晶状の配列中に、M o 原子や W 原子に代わって入り込んだ窒素 ( 原子 ) が脱離してきたものと判断される。

図 1 6 の ( a ) に示す膜は 9 8 0 ℃付近に極めてシャープな脱離  
20 ピークが観察され、窒素はかなり強い結合力で M o または W と結合しているのが特徴的である。図 1 6 の ( b ) に示すのは 6 0 0 ~ 7 0 0 ℃に最も大きな脱離ピークが観察される膜である。これら両者の違いは膜中の窒素の M o または W との結合力にある。このように成膜条件を変えることでこのような膜を形成することができるが、  
25 この膜をゲート電極として用いた場合 B T 耐性に与える影響は極めて大きい。図 1 6 の ( a ) に示したような 9 0 0 ℃に脱離ピークを

の製法によってターゲット中に多くの酸素が含まれる。そしてこのターゲットに含まれる酸素量によってB T耐性が大きく左右される。

200～500ppm程度の酸素が含まれるターゲットでMoW合金膜を形成し、これをゲート電極に用いた場合のB T耐性は、図17の(c)に示すようになる。すなわちB T耐性が悪く、 $I_d - V_g$ 特性は大きくマイナス方向にシフトしてしまう。

しかしターゲット中に含まれる酸素量を50ppm以下、実際には10～20ppm程度に抑えたものを用いると、B T耐性は図17の(a)に示すように $I_d - V_g$ 特性は全く変化せず、極めてB T耐性の高いトランジスタを得ることができた。含有酸素量を100～200ppm程度のものを用いるとB T耐性は図17の(b)のようになり、明らかにターゲットに含まれる酸素量に大きく左右されることになる。従ってB T耐性の高いトランジスタを得るためにターゲットに含まれる酸素量を50ppm以下に抑えたターゲットおよびMoW配線材料を用いるのが良いこととなる。

#### (第15の実施の形態)

本実施の形態は、W濃度が膜厚方向で変化する場合のB T耐性に対する効果に関する。

図17に、W含有濃度を変化させたMoW合金をゲート電極に用いた場合のB T耐性の違いを示す。前述の如く、(a)はW含有率が15%のMoW合金の場合であり、B T耐性試験を行っていても $I_d - V_g$ 特性は全く変化しない。(b)はW含有率が35%の場合であり、(c)は45%の場合であり、共にB T耐性試験の後では $I_d - V_g$ 特性は大きくマイナス方向にシフトしており、更にW含有率が高くなるに従ってマイナス方向へのシフト量も大きくなっていく。



搬送され、第 1 のターゲット 2 1 上に来た時点で搬送を中止して、放電を開始する。そして、所定の膜厚となった後放電を中止し、次の第 2 のターゲット 2 2 上に基板を移動させる。その後、また放電を開始して所定の膜厚に成膜する。この際の膜厚であるが、第 1 の  
5 ターゲット 2 1 では 2 0 0 ~ 1 0 0 0 Å とし、第 2 のターゲット 2 2 では 1 0 0 0 ~ 3 0 0 0 Å 程度とした。

なお、この方法の場合、必ずしも W 濃度が異なる 2 層構造にしないでよく、第 1 のターゲット若しくは第 2 のターゲットのいずれか一方の単層成膜でもよい。すなわち、B T 劣化は W の酸化によってその原因である電荷が発生して生じる。従って、B T 劣化を抑えるには W と酸素のいずれかを抑えれば良い。さて、スパッタ成膜する際、放電の開始と同時にチャンバー内から多くの脱ガスが放出される。そして、この脱ガスには水分、酸素が極めて多く、更にこの水分と酸素が基板表面に多く吸着され、ひいては B T 劣化の原因になる。このため、これらの脱ガスの影響を極力少なくするには、放  
10 電と同時に成膜が開始されることが望ましい。すなわち、基板表面が脱ガスに晒される時間を極力短くすることが重要となる。

なお、以上の成膜であるが、これはチャンバー内に基板が一枚ずつ搬送されても、複数枚同時に搬送されても良いのは勿論である。  
20 基板はローダー 2 4 からチャンバー内に順に送り込まれ、成膜後にアンローダー 2 6 に収納されるのが原則であるが、1 枚ずつ成膜される場合にはローダーから送り込まれ、ローダーに収納されるようにしていても良い。

(第 1 7 の実施の形態)

25 本実施の形態は、ボトムゲート型の薄膜トランジスタに関する。  
図 1 9 にこの薄膜トランジスタの断面を示す。本図において、4

のため、やはり先の第 18 の実施の形態と同じく M o 層の食み出し部分下側領域の多結晶シリコン層には不純物イオンが多少打ち込まれ、その結果、L D D 構造を有する様になっている。

(第 20 の実施の形態)

- 5 本実施の形態は、ゲート電極の表面部を酸化させて不純物イオンの注入時にマスクとして使用することにより、L D D 構造の T F T を得るものである。

本実施の形態は図 22 に示す。図にて明らかな如く、(a) 先ず M o W 合金製ゲート電極 4 を形成し、(b) その表面を少し酸化させる。これにより、ゲート電極チャネル方向両側に酸化して密度の小さくなった、ひいてはマスク能力の劣る酸化物の膜ができる。(c) その後で、基板の上方や斜め上方両側から不純物イオンを注入し、酸化物製膜の直下部やその近傍に L D D 領域 260、270 を形成する。

- 15 なお、この酸化物は、その後水素ガスで還元しても良いし、除去しても良い。また、そのままでもゲート電極内の合金は含有する窒素、アルゴン等のため、酸化物の酸素が時間の経過で侵入してきて悪影響を及ぼす事がないのは勿論である。

(d) また、別の手段として酸化物の形成に換えてゲート配線毎アルミ等の電気抵抗が低く密度が小さい金属をめっきで薄く付着しても良い。この場合、後の熱処理でたとえアルミにヒロック等が発生してもその部分は内部の M o W 合金が受け持つため、電気抵抗の低下に直結しない。

(第 21 の実施の形態)

- 25 本実施の形態は、ゲート電極線はアルミとするものである。すなわち、ゲート電極を注入マスクとして不純物イオンを打ち込んだ後、

3) 液晶装置としては、光シャッター、光論理素子等他のものとしている。

4) 反射型の液晶表示装置としている。

5) 多段や連続型のLDD構造のTFTとしている。

5 6) 図21において、Moに換えてTi等の超薄膜とし、更にその上部はMoとMoの合金としている。更にまた、念のためその組成比をも上下方向で変えている。

7) Mo、Wの少くも一方を主成分とする(90原子%以上、好ましくは95原子%以上、より好ましくは98原子%以上)合金とは、  
10 事実上純Mo、Wをも含み、僅かに窒素、アルゴン等が含まれる合金、ゲート電極の特定の層や高さの部分が事実上純Mo等であることを含む。また、熱処理時の拡散、連続形成等のため、組成比は連続的に変化したり、かかる部分があっても良い。

また、クロム等の6A族の原子や耐蝕性、加工性改善等のため、  
15 他の原子を含んでも良い。

8) スパッタリングは、他の装置を使用している。

9) スパッタリングガスに、何か他の目的のため、He、Ne等を僅かに混ぜている。

10) スパッタリングガスに換えて、例えばEB蒸着等他の手段で  
20 ゲート電極を形成している。

11) ゲート絶縁膜等には、SiNx、Si<sub>3</sub>N<sub>4</sub>、SiCN等他の絶縁物質を使用している。

#### 産業上の利用可能性

25 以上の説明で判る様に、本発明によれば、MoW膜形成時にArまたはKrガスにN<sub>2</sub>を数%混合したスパッタリングガスを用いて

## 請 求 の 範 囲

1. 窒素を0.001原子%以上1原子%以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有していることを特徴とする薄膜トランジスタ。

2. 窒素を0.001原子%以上1原子%以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有する薄膜トランジスタを製造する方法であって、

10  $N_2$ を数%含むAr若しくはKrあるいはそれらを主成分とする混合ガスでスパッタリングすることによって上記N濃度のゲート電極用の金属膜を形成する特殊ガススパッタリングステップを有していることを特徴とする薄膜トランジスタの製造方法。

3. 酸素濃度は100ppm以下、窒素は酸素より多く含まれ且つ窒素濃度は20000ppm以下含むモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有していることを特徴とする薄膜トランジスタ。

4. 前記ゲート電極は、

ゲート絶縁膜との界面部側の方が、他の側よりも窒素の含有量が多いことを特徴とする請求項3に記載の薄膜トランジスタ。

20 5. 酸素濃度は100ppm以下、窒素は酸素より多く含まれ且つ窒素濃度は20000ppm以下か若しくは更にゲート絶縁膜との界面部の方が反ゲート絶縁膜部よりも窒素の含有量が多いモリブデンとタングステンの少なくとも一方を主成分とする合金からなるゲート電極を有している薄膜トランジスタの製造方法であって、

25 上記ゲート電極用の金属膜を、ArまたはKrあるいはそれらを主成分とする混合ガスでスパッタリングすることによって形成する

1 2 . モリブデンのみ若しくはタングステンを 1 0 原子 % 以下含むモリブデンとタングステンの合金からなるゲート絶縁膜側層と、

5 タングステンを 2 0 ~ 5 0 原子 % 含むモリブデンとタングステンの合金からなる反ゲート絶縁膜側層が在るゲート電極を有していることを特徴とする薄膜トランジスタ。

1 3 . タングステンを 1 0 原子 % 以下含みかつ N を含有するモリブデンとタングステンの合金製のゲート絶縁膜側層と、

10 タングステンを 2 0 ~ 5 0 原子 % 含みかつ N を含有するモリブデンとタングステンの合金製の反ゲート絶縁膜側層が在るゲート電極を有していることを特徴とする薄膜トランジスタ。

1 4 . 前記 2 層構造のゲート電極は、

ゲート絶縁膜側層は、その膜厚さが 2 ~ 2 0 n m であることを特徴とする請求項 1 2 若しくは 1 3 に記載の薄膜トランジスタ。

15 1 5 . 前記ゲート電極は、

その中の N の含有量が 0 . 0 1 原子 % 以上 1 0 原子 % 以下である特定範囲窒素含有ゲート電極であることを特徴とする請求項 1 2 若しくは請求項 1 3 に記載の薄膜トランジスタ。

1 6 . 前記ゲート電極は、

20 その中の N の含有量が 0 . 0 1 原子 % 以上 1 0 原子 % 以下である特定範囲窒素含有ゲート電極であることを特徴とする請求項 1 4 に記載の薄膜トランジスタ。

1 7 . 上記薄膜半導体は、

25 トップゲート型であることを特徴とする請求項 1 2 若しくは請求項 1 3 に記載の薄膜トランジスタ。

1 8 . 上記薄膜半導体は、

接触面で最も小さくなる様に界面が形成されたものであることを特徴とする薄膜トランジスタ。

24. 上記ゲート電極は、

上記ゲート絶縁膜との界面の金属膜の主配向面が、(110)であることを特徴とする請求項23に記載の薄膜トランジスタ。

25. 前記主配向面(110)は、

全配向面の90%以上であることを特徴とする請求項24に記載の薄膜トランジスタ。

26. 上記ゲート電極を形成する金属膜は、

10 モリブデンとタングステンの少くも一方を主成分とする合金からなり、

更にモリブデン若しくはタングステンと安定な状態にあるArを含んでいることを特徴とする請求項23、請求項24若しくは請求項25に記載の薄膜トランジスタ。

15 27. 上記モリブデン若しくはタングステンと安定な状態にあるArは、

最大1原子%であることを特徴とする請求項26に記載の薄膜トランジスタ。

28. 上記ゲート電極を形成する金属膜は、

20 モリブデンとタングステンの少くも一方を主成分とする合金からなり、

更にモリブデン若しくはタングステンと安定な状態にある窒素を含んでいることを特徴とする請求項23、請求項24若しくは請求項25に記載の薄膜トランジスタ。

25 29. 上記モリブデン若しくはタングステンと安定な状態にある窒素は、

縁膜側層からなるゲート電極を有していることを特徴とする請求項 28 に記載の薄膜トランジスタ。

35. タングステン濃度が 15 原子 % 以下のゲート絶縁膜側層と、

5      タングステン濃度が 35 原子 % 以上 95 原子 % 以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項 29 に記載の薄膜トランジスタ。

36. タングステン濃度が 15 原子 % 以下のゲート絶縁膜側層と、

10      タングステン濃度が 35 原子 % 以上 95 原子 % 以下の反ゲート絶縁膜側層からなるゲート電極を有していることを特徴とする請求項 30 に記載の薄膜トランジスタ。

37. 前記ゲート絶縁膜側層は、厚さが 100 Å 以上 500 Å 以下であり、

15      前記反ゲート絶縁膜側層は、厚さが 1000 Å 以上であることを特徴とする請求項 31 に記載の配線。

38. 前記ゲート絶縁膜側層は、厚さが 100 Å 以上 500 Å 以下であり、

20      前記反ゲート絶縁膜側層は、厚さが 1000 Å 以上であることを特徴とする請求項 32 に記載の配線。

39. 前記ゲート絶縁膜側層は、厚さが 100 Å 以上 500 Å 以下であり、

前記反ゲート絶縁膜側層は、厚さが 1000 Å 以上であることを特徴とする請求項 33 に記載の配線。

25      40. 前記ゲート絶縁膜側層は、厚さが 100 Å 以上 500 Å 以下であり、

とタングステンの少くも一方を主成分とする合金の成膜を開始する成膜開始制御ステップを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

- 5            4 5 .      少なくとも2種類の、組成比が異なるモリブデンとタングステンの少くも一方を主成分とする合金製のターゲットを用いて膜厚方向に組成比の異なるモリブデンとタングステンの少くも一方を主成分とする合金製薄膜を形成する複数組成比ターゲット使用成膜ステップを有していることを特徴とする請求項44に記載のモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

4 6 .      基板上に、縦横幾列、幾行にも配置された薄膜トランジスタのゲート電極用にモリブデンとタングステンの少くも一方を主成分とする合金からなる薄膜を形成する方法であって、

- 15      スパッタリング用のチャンバー内に複数の基板を一定方向に搬送する複数基板搬送ステップと、

少なくとも基板と同じ大きさのターゲットが基板と対向して配置される様にする対向配置ステップと、

- 20      上記基板とターゲットが対向し、更に基板が静止した状態でスパッタリングによる成膜を開始する成膜開始制御ステップとを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金製ゲート電極の製造方法。

- 25      4 7 .      モリブデンとタングステン合金の組成比が異なる少なくとも2種類のターゲットを選定する複数組成比ターゲット選定ステップと、

上記選定された組成比の異なる複数のターゲットを用いてスパッ



ルゴンを 含んだ耐劣化性合金からなることを特徴とする請求項 50 記載の薄膜トランジスタ。

52. 前記ゲート電極は、

ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項 50 若しくは請求項 51 に記載の薄膜トランジスタ。

53. モリブデンとタングステンの少くも一方を主成分とする上側層と、該上側層のチャネル方向両側に食み出し、かつ上側層よりもモリブデン含有量の多い下層が在るモリブデンとタングステン合金からなるゲート電極と、

上記上側層を下のチャネル領域と、上記下側層のみの直下の LDD 領域と、上記下側層のチャネル方向両側のソース領域、ドレイン領域が在る半導体層を有していることを特徴とする薄膜トランジスタ。

54. 前記ゲート電極は、

ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項 50 に記載の薄膜トランジスタ。

55. 下方が上方よりもモリブデン含有量の多いモリブデンとタングステンを主成分とする合金よりなるゲート電極をゲート絶縁膜上に形成するゲート電極形成ステップと、

上記形成されたゲート電極の少くもチャネル方向両側を所定量酸化させる酸化ステップと、

上記チャネル方向両側を酸化されたゲート電極をマスクとして不純物イオンを半導体層に注入する注入ステップとを有していることを特徴とするモリブデンとタングステンの少くも一方を主成分とする合金をゲート電極とした LDD 構造の薄膜トランジスタの製造方

該ゲート電極と基板の上記薄膜トランジスタのアレイ部外に形成された、そして薄膜トランジスタのゲート電極駆動部とを接続するアルミ製ゲート配線とを有していることを特徴とする液晶装置。

60. 前記ゲート電極は、

- 5 モリブデンとタングステンの少くも一方を主成分とする合金層中に0.001原子%以上1原子%以下の窒素か、1原子%以下のアルゴンを含んだ耐劣化性合金からなることを特徴とする請求項57記載の薄膜トランジスタ。

61. 前記ゲート電極は、

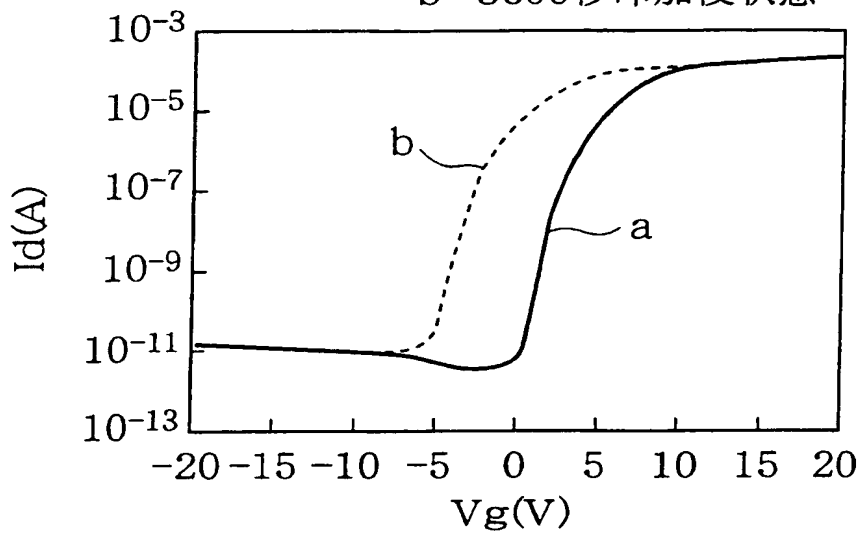
- 10 ゲート絶縁膜側が反ゲート絶縁膜側よりもモリブデンの含有量が多いことを特徴とする請求項57若しくは請求項58に記載の薄膜トランジスタ。

Fig. 2

## (A) インライン方式スパッタ装置

a 測定初期状態

b 3600秒印加後状態



## (B) ロードロック式枚葉スパッタ装置

a 測定初期状態

b 3600秒印加後状態

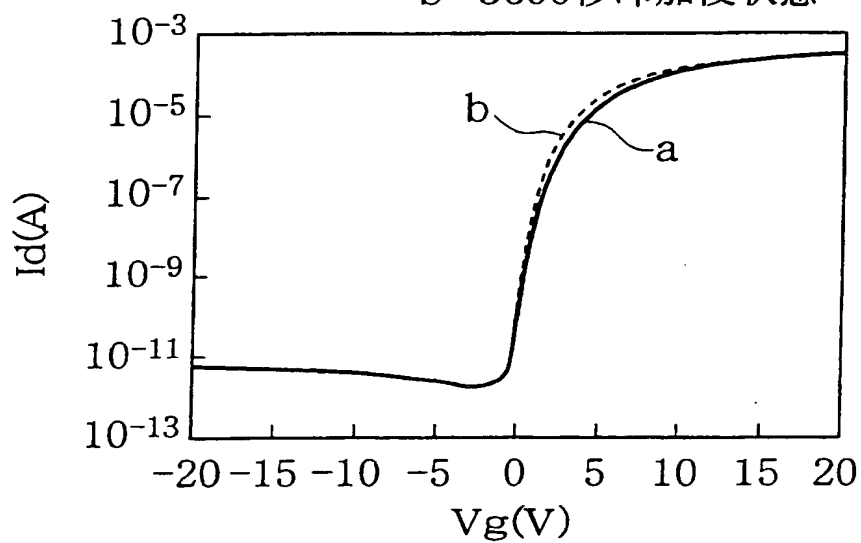
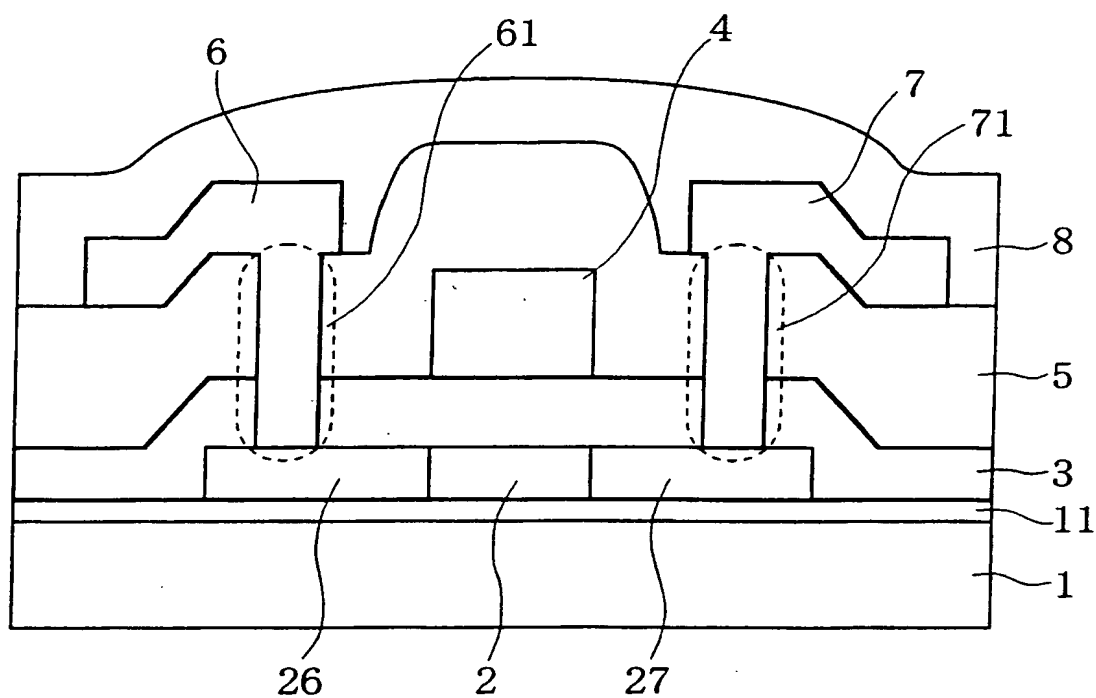


Fig. 4

(A)



(B)

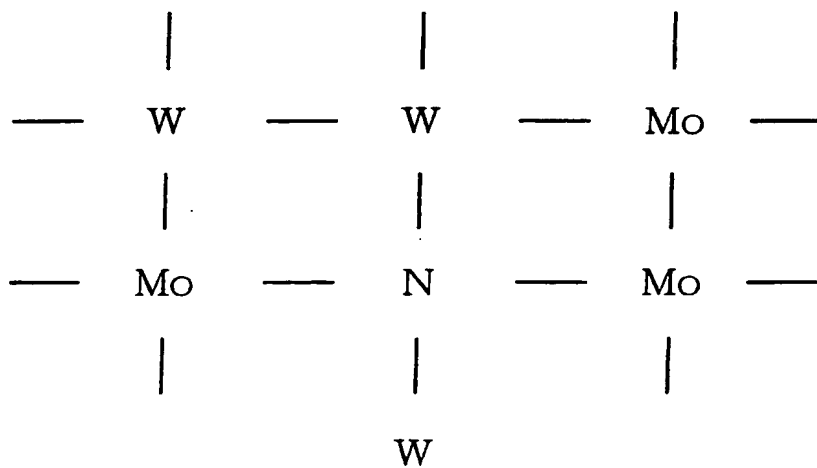


Fig. 6

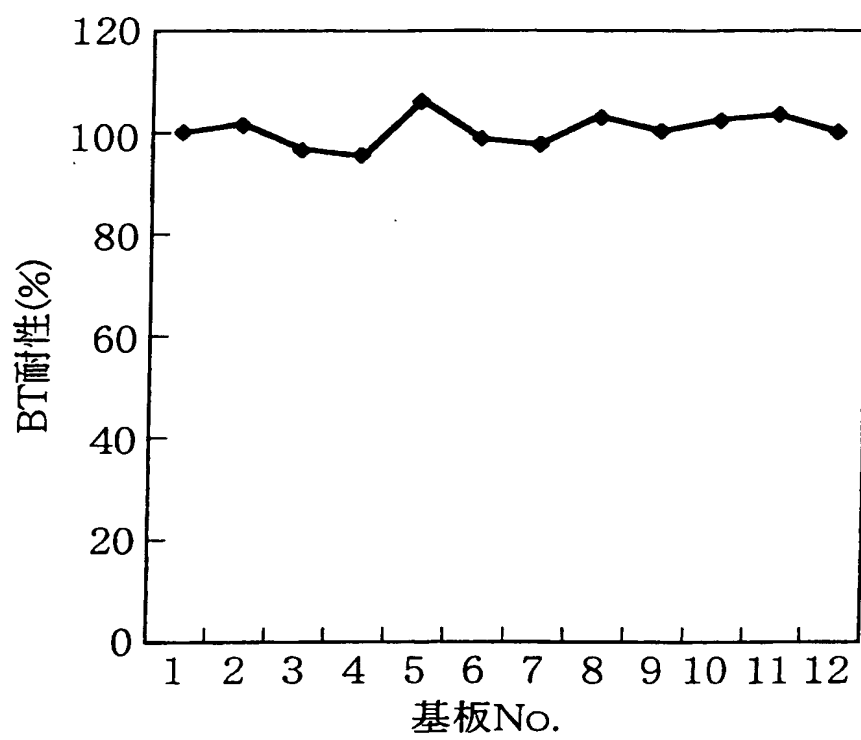


Fig. 8

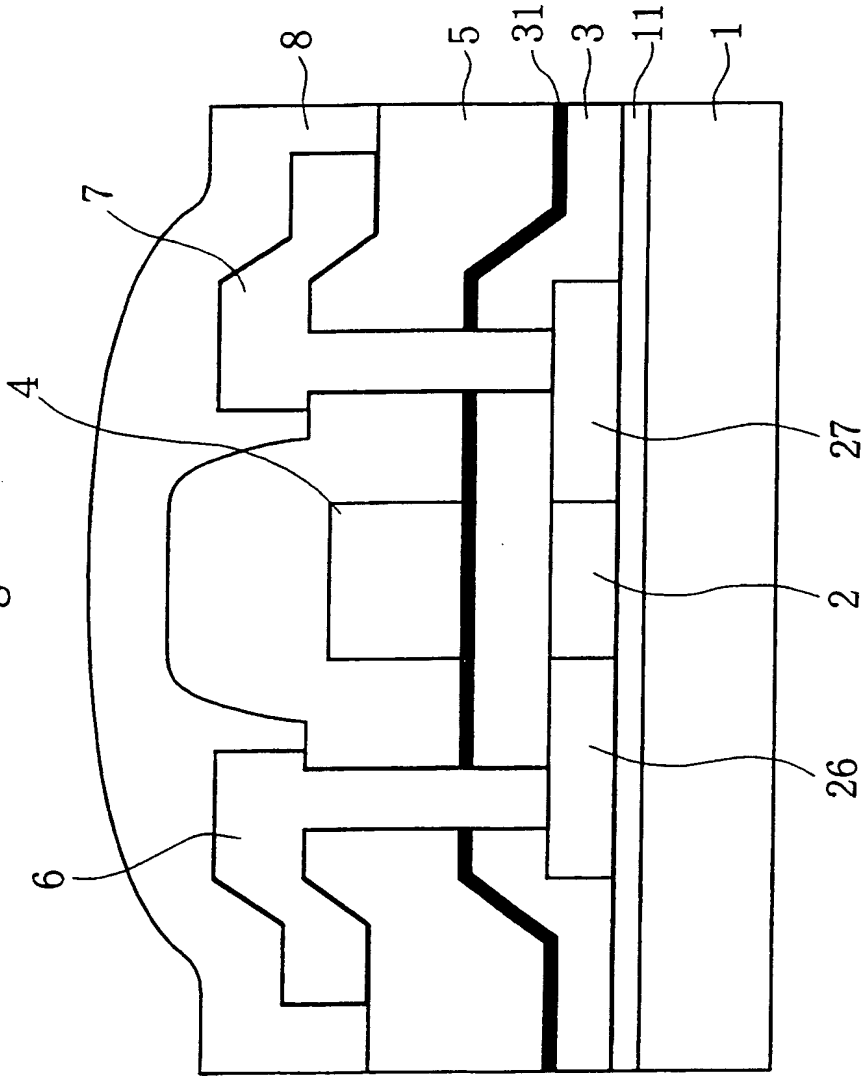
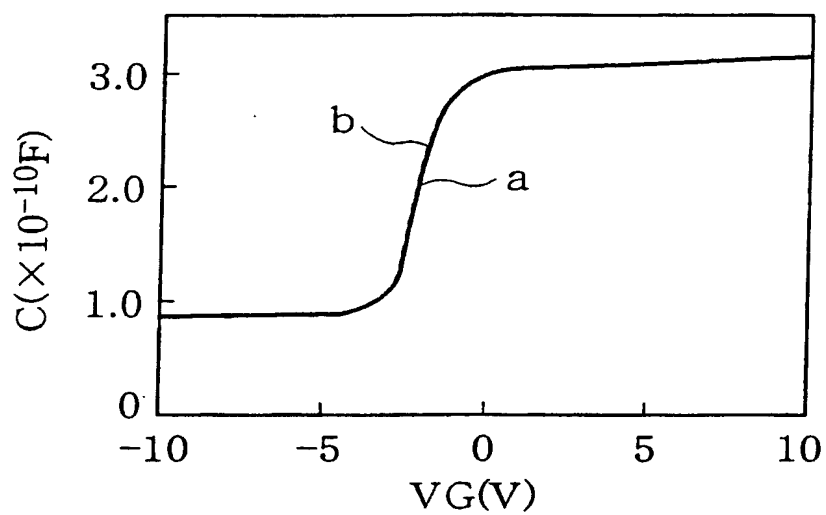


Fig. 10

## (A) ロードロック式枚葉スパッタ装置

a 測定初期状態

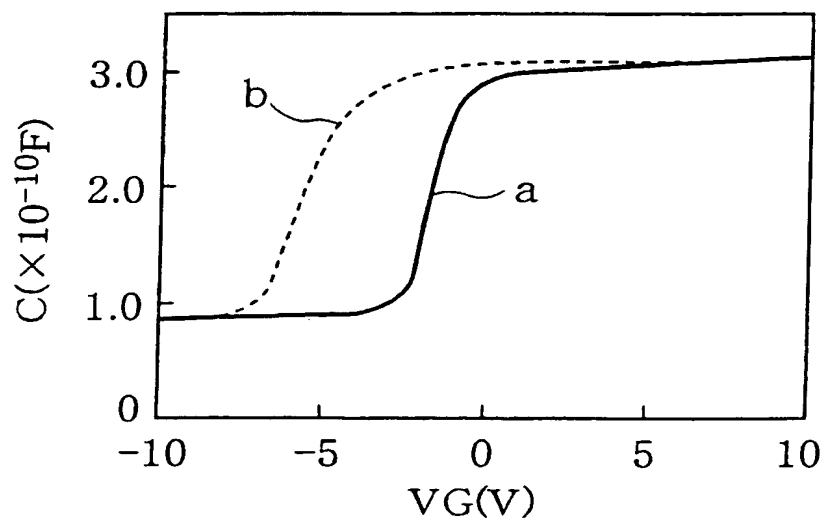
b 600秒印加後状態



## (B) インライン方式スパッタ装置

a 測定初期状態

b 600秒印加後状態



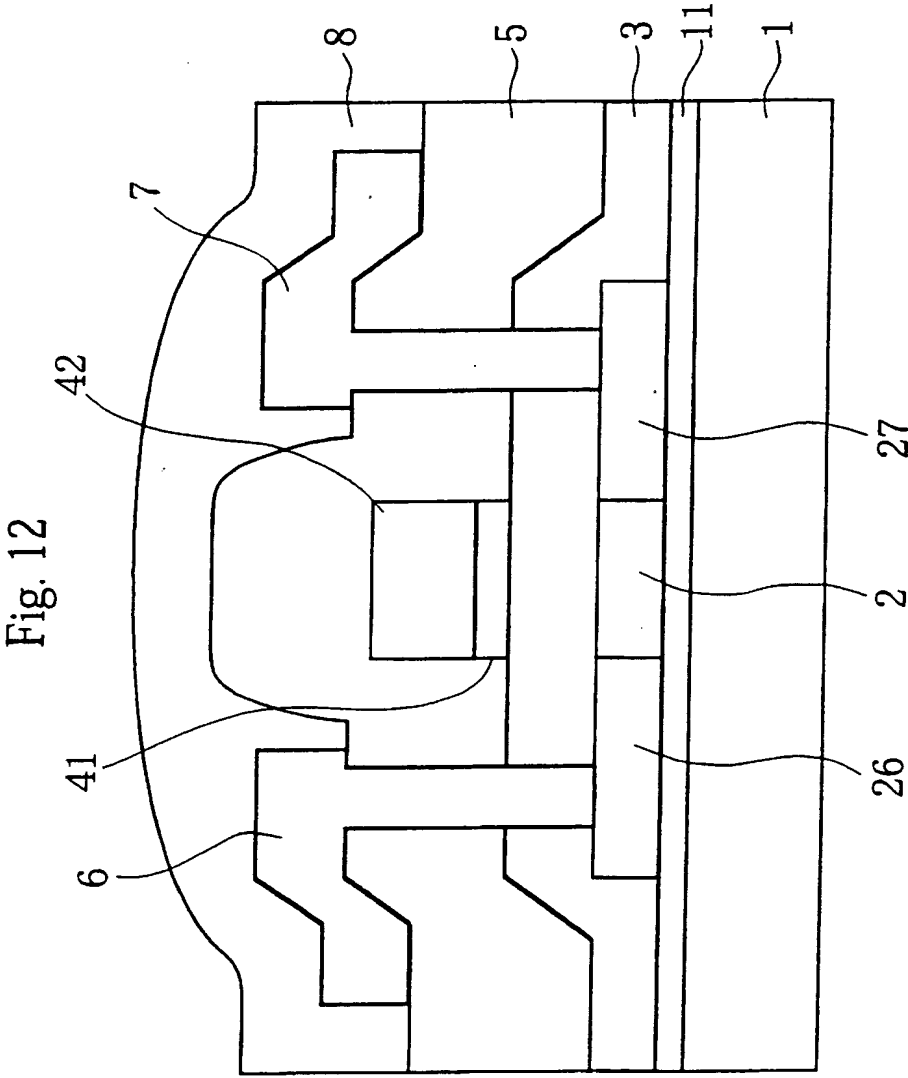
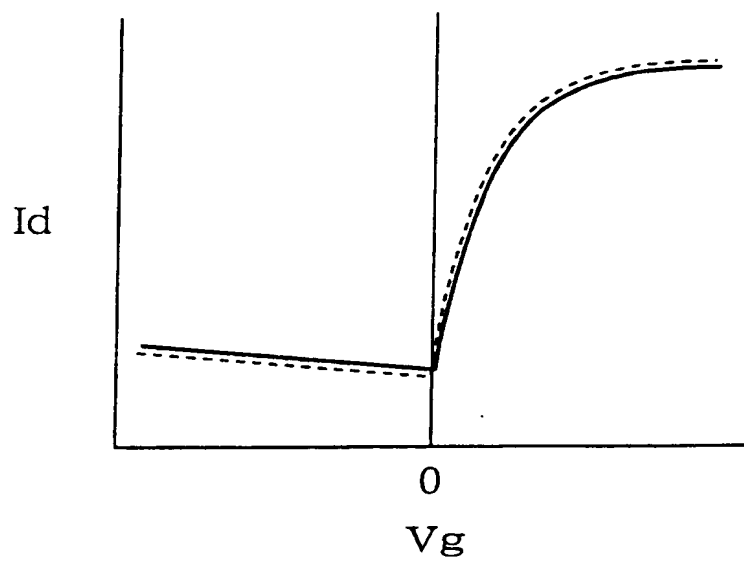




Fig. 14

(a)



(b)

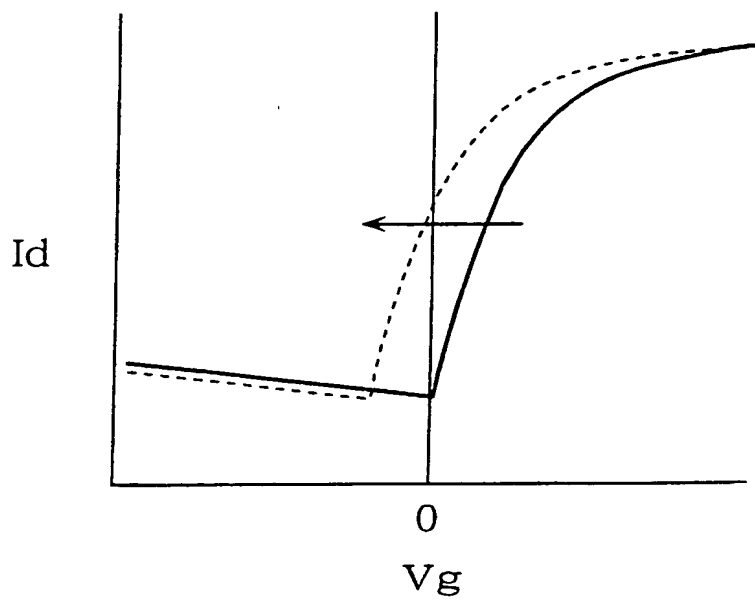


Fig. 16

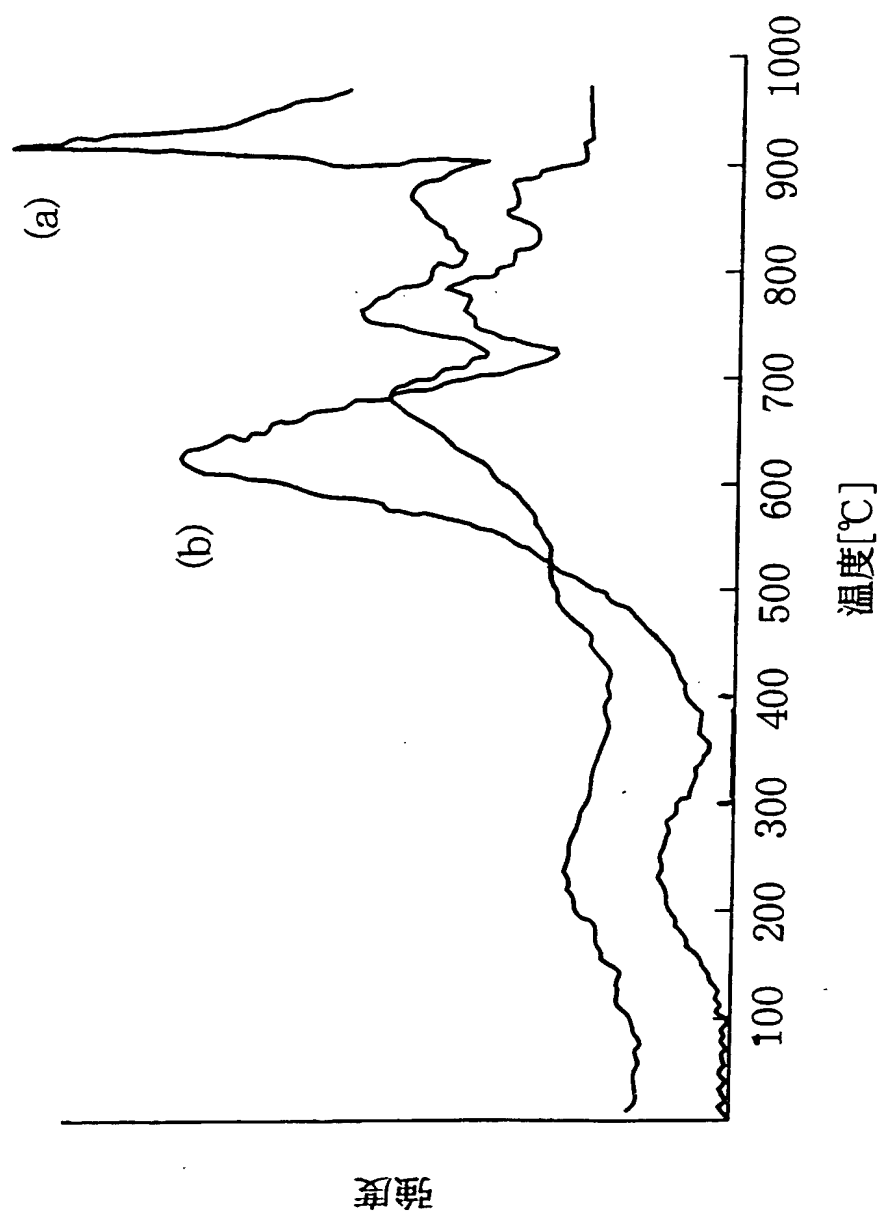


Fig. 18

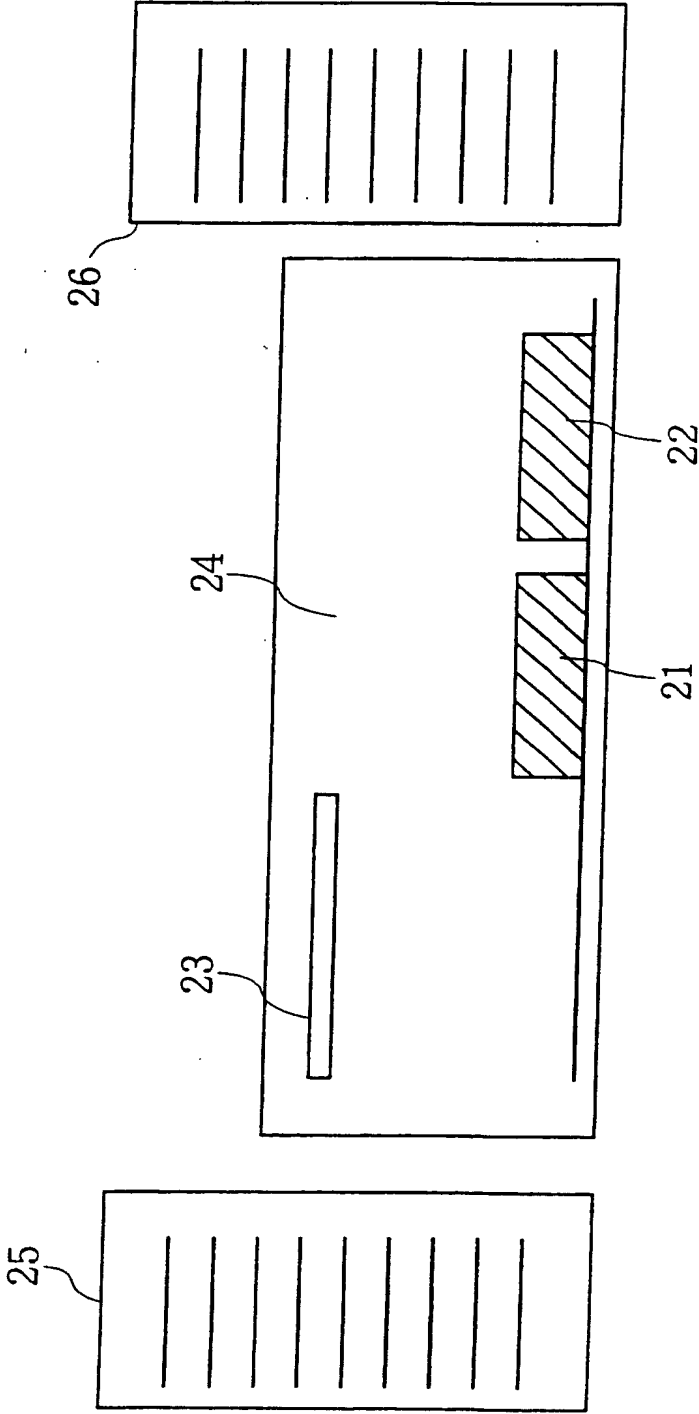


Fig. 20

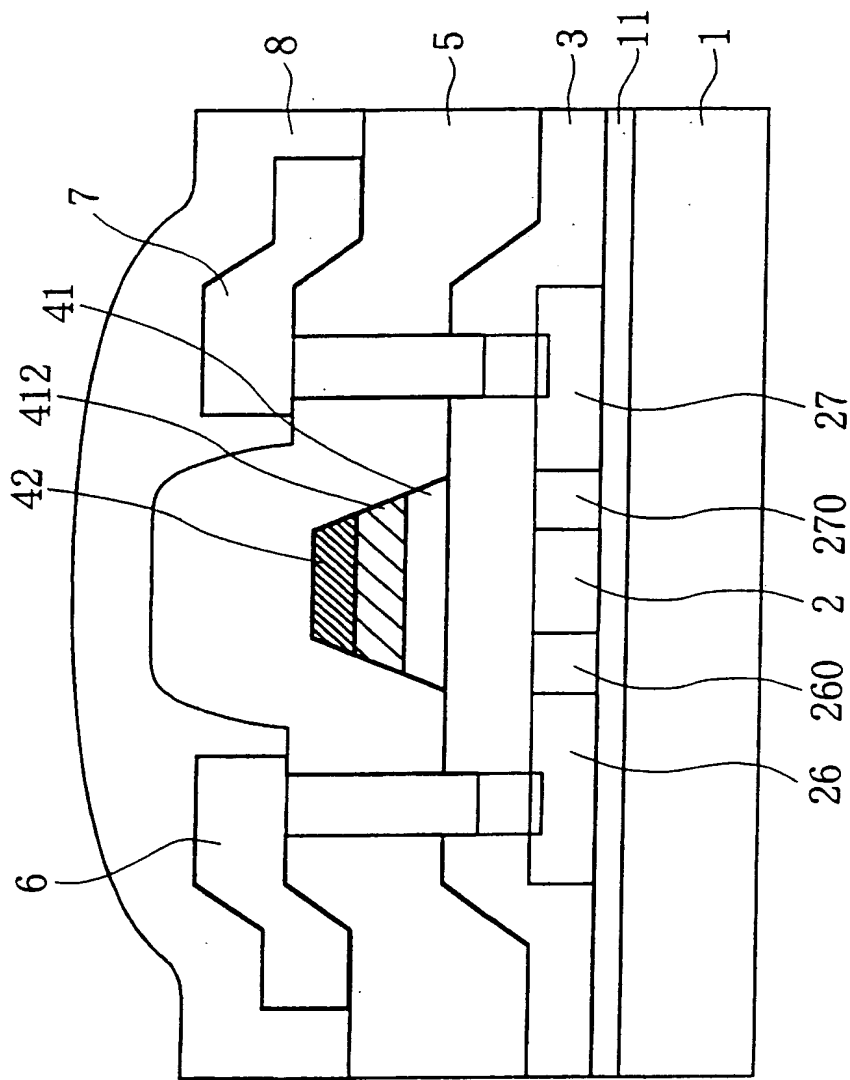
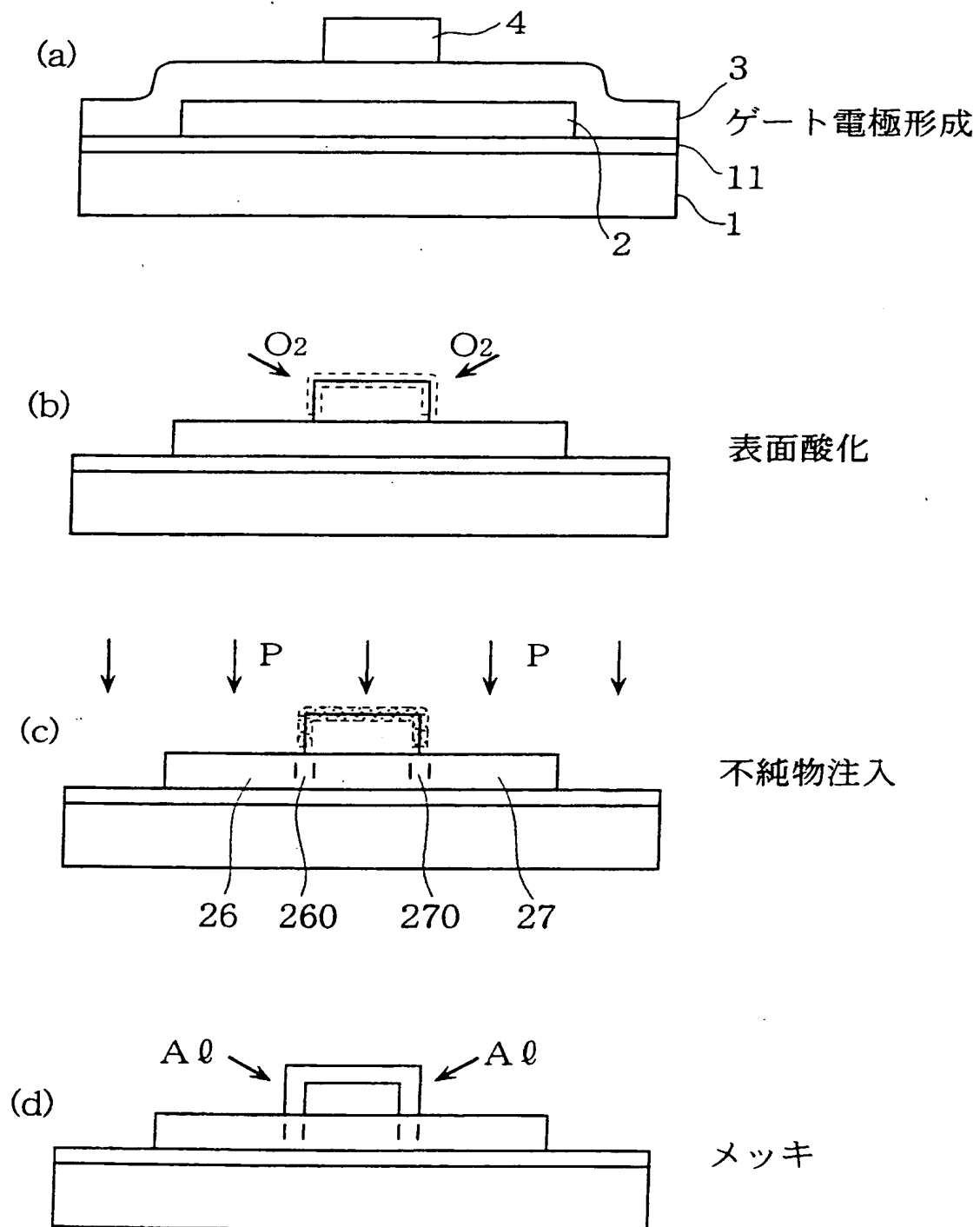


Fig. 22



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00870

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L29/786, H01L21/203, H01L21/285, H01L21/336,  
H01L29/49, C23C14/34, G02F1/1343, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/786, H01L21/203, H01L21/285-21/285,  
H01L21/336, H01L29/41-29/45, C23C14/34,  
G02F1/1343, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JOIS

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 2000-12542, A (Sharp Corporation), 14 January, 2000 (14.01.00), page 3, left column, line 22 to page 4, left column, line 8 (Family: none)	12, 17
Y	US, 5738948, A (Toshiba Corporation), 14 April, 1998 (14.04.98), Claim 1; Column 6, lines 5 to 30 & JP, 8-153722, A Claim 1; page 5, right column, lines 7 to 27 & TW, 375701, A & KR, 213402, B	23-27, 44, 46
Y	JP, 11-103065, A (Toshiba Corporation), 13 April, 1999 (13.04.99), page 6, left column, lines 5 to 8 (Family: none)	24, 25
X	JP, 7-225395, A (Hitachi, Ltd.), 22 August, 1995 (22.08.95), Claims 1, 3, 6, 7 (Family: none)	31
Y		50, 52, 55, 57
Y	JP, 9-36370, A (Toshiba Electric Engineering Corp.), 07 February, 1997 (07.02.97),	44, 46, 59

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
12 June, 2001 (12.06.01)

Date of mailing of the international search report  
26 June, 2001 (26.06.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. cl.<sup>7</sup> H01L29/786, H01L21/203, H01L21/285, H01L21/336,  
H01L29/49, C23C14/34, G02F1/1343, G02F1/1368

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. cl.<sup>7</sup> H01L29/786, H01L21/203, H01L21/285-21/285,  
H01L21/336, H01L29/41-29/45, C23C14/34,  
G02F1/1343, G02F1/1368

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2001年  
日本国登録実用新案公報 1994-2001年  
日本国実用新案登録公報 1996-2001年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 2000-12542, A (シャープ株式会社) 14. 1月. 2000 (14. 01. 00), 第3頁左欄第22行-第4頁左欄第8行 (ファミリーなし)	12, 17
Y	US, 5738948, A (株式会社東芝) 14. 4月. 1998 (14. 04. 98), 請求項1, 第6欄第5-30行 & JP, 8-153722, A, 請求項1, 第5頁右欄第7-27行 & TW, 375701, A&KR, 213402, B	23-27, 44, 46

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

12. 06. 01

国際調査報告の発送日

26.06.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河本 充雄

印

4M

9056

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP, 430702, A (株式会社東芝) 5. 6月. 1991 (05. 06. 91), 全文 & JP, 3-293329, A, 全文	1-61
A	JP, 10-177968, A (株式会社東芝) 30. 6月. 1998 (30. 06. 98), 全文 (ファミリーなし)	1-61